

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-285227

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.⁸

識別記号

F I

H 0 4 L 27/12

H 0 4 L 27/12

B

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平9-91990

(22) 出願日 平成9年(1997)4月10日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 晴山 信夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

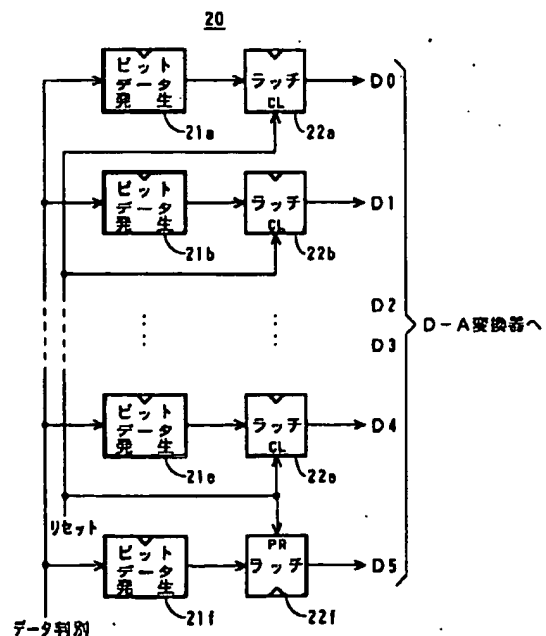
(74) 代理人 弁理士 佐藤 正美

(54) 【発明の名称】 MSK信号発生装置

(57) 【要約】

【課題】 アリアンプルを短くしても受信が可能な、MSK信号を生成する。

【解決手段】 データの“0”、“1”に応じた2つの搬送波に対応するデジタルデータを発生するMSKデータ発生手段20と、このMSKデータ発生手段20からのデジタルデータをD/A変換するD/A変換器30とを備える。MSKデータ発生手段20が、それぞれ正弦波のゼロクロス点からゼロクロス点までの正弦波に対応するデータを発生する。MSKデータ発生手段20は、複数のビットデータ発生手段21a~21fと、ビットデータ発生回路21a~21fの各々のビット出力をラッチするための複数のラッチ回路22a~22fとを備える。複数のラッチ回路22a~22fの出力の組みを、正弦波を生成するための各サンプルデータとする。データの区切りごとに、複数のラッチ回路22a~22fに共通にリセット信号を供給して、ゼロクロス点の値に対応するビット値を、複数のラッチ回路22a~22fのそれぞれに設定する。



【特許請求の範囲】

【請求項1】データの“0”、“1”に応じた2つの搬送波に対応するデジタルデータを発生するMSKデータ発生手段と、このMSKデータ発生手段からのデジタルデータをD/A変換するD/A変換器とを備えるMSK信号発生装置において、

前記MSKデータ発生手段が、それぞれ正弦波のゼロクロス点からゼロクロス点までの正弦波に対応するデータを発生するようにしたことを特徴とするMSK信号発生装置。

【請求項2】前記MSKデータ発生手段は、複数のビットデータ発生手段と、前記ビットデータ発生回路の各々のビット出力をラッチするための複数のラッチ回路とを備え、

前記複数のラッチ回路の出力の組みを、前記正弦波を生成するための各サンプルデータとすると共に、

前記データの区切りごとに、前記複数のラッチ回路に共通にリセット信号を供給して、前記ゼロクロス点の値に対応するビット値を、前記複数のラッチ回路のそれぞれに設定するようにしたことを特徴とする請求項1に記載のMSK信号発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、MSK信号発生装置に関する。

【0002】

【従来の技術】2進のFSK (Frequency Shift Keying) で、現時点の位相に対して1シンボル時間後の位相が±90度の進みあるいは遅れとなるように2つの搬送波 f_1 、 f_0 を選択すると、両信号は直交関係になり、理想的な復調ができることが知られている。無線回線などでのデジタル信号の授受に用いられる変調方式の一つであるMSK (Minimum Shift Keying) 変調方式は、このような直交関係が成り立つ最小の周波数差、すなわち、 $2(f_1 - f_0)T = 1$ (T : シンボル時間) が成り立つような搬送波を選択した連続位相FSKである。

【0003】このMSK変調方式の一つとして、例えば図7に示すように、シリアルに入力されるデータの“1”、“0”に応じて、例えば周波数 $f_0 = 1.2k$ Hzの半サイクルを“1”、その2倍の周波数 $2f_0 = 2.4k$ Hzの1サイクルを“0”とするMSK信号が知られている。

【0004】このMSK信号の生成の方法としては、図7の①の半サイクルデータと、③の1サイクルデータとを基本データとして発生するMSKデータ発生回路と、D/A変換器との組み合わせを用いるようにしている。この場合、①の半サイクルデータと、③の1サイクルデータの補数から、②の波形データと、⑤の波形データとを作成する。

【0005】この場合、①、②、③、⑤のいずれの波形データをMSKデータ発生回路から発生させるかは、現データと、一つ前データと、前データの符号(前符号)とにより決定される。この現データ入力から、現符号が求められるロジック回路は、図8に示すように、1ビットバッファ2と、イクスクルーシブオアゲート3と、オアゲート4と、アンドゲート5と、Dフリップフロップ回路6とにより構成することができる。この図8の回路の入力端子1に現データを入力すれば、出力端子7には現符号が、出力端子8には出力データ(現データ)が得られるものである。

【0006】従来、デジタル波形データの発生回路としてのMSKデータ発生回路は、マイクロコンピュータにより構成されており、波形データの始まりは、一般的に波形のゼロクロスとは異なっている。

【0007】

【発明が解決しようとする課題】このMSK信号は、受信側では、帯域フィルタを通じて分離され、復調されてデコードされ、データが取り出されるようにされるが、信号分離のため狭帯域フィルタによって直流成分が遮断される。上述のように、従来は、波形データの始まりはゼロクロスではないため、受信側で分離されたMSK信号の直流電位の浮動があり、最初のデータが再生されにくいという問題があった。

【0008】従来、この問題を解決するために、クロック再生のため“1”、“0”を繰り返すプリアンブル区間を長くする、あるいは、特開平1-305635号公報に開示されるように、データに先立って数十ビットのビット同期信号を検出してからでないと受信状態にならないようにする、などの対策が講じられていた。

【0009】しかしながら、このような対策では、クロック再生からデータの受信までの時間が長くなるという問題が生ずる。

【0010】かかる点に鑑み、この発明の目的は、プリアンブル区間を短くしても受信が可能な、MSK信号を生成することができる、MSK信号発生装置を提供するところにある。

【0011】

【課題を解決するための手段】前記課題を解決するため、発明によるMSK信号発生装置は、データの“0”、“1”に応じた2つの搬送波に対応するデジタルデータを発生するMSKデータ発生手段と、このMSKデータ発生手段からのデジタルデータをD/A変換するD/A変換器とを備えるMSK信号発生装置において、前記MSKデータ発生手段が、それぞれ正弦波のゼロクロス点からゼロクロス点までの正弦波に対応するデータを発生するようにしたことを特徴とする。

【0012】特に、前記MSKデータ発生手段は、複数のビットデータ発生手段と、前記ビットデータ発生回路の各々のビット出力をラッチするための複数のラッ

チ回路とを備え、前記複数個のラッチ回路の出力の組みを、前記正弦波を生成するための各サンプルデータとすると共に、前記データの区切りごとに、前記複数個のラッチ回路に共通にリセット信号を供給して、前記ゼロクロス点の値に対応するビット値を、前記複数個のラッチ回路のそれぞれに設定するようにしたことを特徴とする。

【0013】この発明によれば、MSK信号は常にゼロクロス点の部分から波形が発生するので、受信側で狭帯域フィルタを通過しても、直流電位の揺らぎがなく、最初のデータからデータ再生が可能となる。

【0014】

【発明の実施の形態】以下、図1～図3を参照しながら、この発明によるMSK信号発生装置の実施の形態について説明する。

【0015】【実施の形態の構成】この発明の実施の形態の構成を図1に示し、データ判別回路10と、MSKデータ発生回路20と、D/A変換器30とからなる。

【0016】入力シリアルデータはデータ判別回路10に取り込まれる。このデータ判別回路10は、例えば前述した図8の回路構成を備え、現符号の情報と、現データとを出力する。これらの現符号の情報と現データとはMSKデータ発生回路20に供給される。MSKデータ発生回路20は、例えば1サンプルが6ビットのデジタル波形データを発生する。

【0017】この場合、MSKデータ発生回路20の出力デジタル波形データは、アナログ波形で示すと、図2A～Dに示すように、所定期間Tpの始めのゼロクロス点から終わりのゼロクロス点まで連続する、1サイクル分の正弦波のデータと、同様に、所定期間Tpの始めのゼロクロス点から終わりのゼロクロス点まで連続する、半サイクル分の正弦波のデータである。この場合、図2Aおよび図2Cの波形データは基本データであり、また、図2Bおよび図2Dの波形データは補数データである。いずれの基本データを出力するか、補数データを出力するかは、入力現データと現符号とにより決められる。

【0018】この選択は、直前に取り込まれたデータと新規に取り込まれたデータとの組み合わせが、

{“1”：“1”}、{“1”：“0”}または

{“0”：“1”}となる場合に、前後の正弦波の極性が異なるように行われる。

【0019】図3は、MSKデータ発生回路20から発生する波形データの例を示すもので、6ビットデータで*

[1 1 1 1 1 1] → [3F (HEX)]

[0 0 0 0 0 0] → [00 (HEX)]

となる。

【0027】これにより、各ラッチ回路22a～22fから出力される、6ビットのデータD0～D5は、その最大値[3F(HEX)]および最小値[00(HEX)]の平均値である[20(HEX)]もしくは[1F(HEX)]から※50

*ある。この場合、前記期間Tp内に、データサンプルA0からデータサンプルA15までの16個のサンプルデータが発生するように定められている。そして、このA0～A15までのデータサンプルが順に発生することで、図4に示すように、1サイクル分の基本データおよび半サイクル分の基本データで現される波形データが出力される。

【0020】この場合、MSKデータ発生回路20からは、データ判別回路13に取り込まれたシリアルデータの“0”、“1”に応じて、図2A～Dに示すような4種類の正弦波のデータが、切換点での位相が連続するようにして、データが出力される。

【0021】図5は、MSKデータ発生回路20の構成例を示すもので、MSKデータ発生回路20は、この例では、1サンプルを構成する6ビットの各ビットデータD0(LSB)～D5(MSB)のそれぞれを発生するための第1～第6のビットデータ発生回路21a～21fと、第1～第6のラッチ回路22a～22fとから構成され、図示は省略するが、タイミング発生回路からのクロックが共通に供給されて、前述したデータサンプルA0～A15の各ビットデータを発生する。

【0022】また、ビットデータ発生回路21a～21fには、データ判別信号が共通に供給され、各ビットデータ発生回路21a～21fからは、図3に示したデータサンプルA0～A15の各ビットデータを発生する。

【0023】各ビットデータ発生回路21a～21fからの各ビットデータが、対応のラッチ回路22a～22fにそれぞれ供給される。また、第1～第5のラッチ回路22a～22eの各クリア端子CLと、第6のラッチ回路22fのアリセット端子PRとに共通に、リセット信号が供給される。

【0024】そして、各ラッチ回路22a～22fから、例えば、6ビットのデータD0(LSB)～D5(MSB)が出力されて、前述したD/A変換器30に供給される。

【0025】上述のように、リセット信号が供給されることにより、第1～第6のラッチ回路22a～22fのリセット時には、6ビットのデータD0～D5が、

[D5 D4 D3 D2 D1 D0]

[1 0 0 0 0 0] → [20 (HEX)]

となる。

【0026】また、6ビットのデータD0～D5の最大値および最小値は、それぞれ、

※スタートすることになる。

【0028】例えば、プリアンブル区間では、図6に示すように、もとのデータの“1”、“0”に応じて、それぞれ所定期間Tpで、平均値から始まり平均値で終わる、半サイクル分の正弦波のデータと、1サイクル分の

正弦波のデータとが、位相が連続するように切り換えられて送出される。

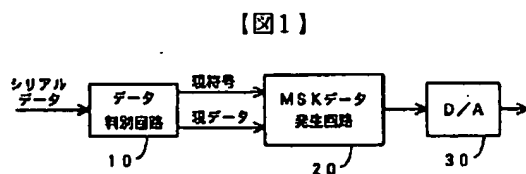
【0029】上述のように、この実施の形態では、取り込まれた各ビットの“0”、“1”に応じて、いずれもゼロクロス点から始まる、1サイクル分もしくは半サイクル分の正弦波のデータが導出されるようにしたので、受信側で、帯域フィルタにより分離されて、直流成分が遮断されても、MSK信号の直流電位の揺らぎがなくなり、最初の受信データから正しく再生することができ、送信側でリアンブル区間を短くすることができる。

【0030】

【発明の効果】以上説明したように、この発明によれば、リアンブル区間を短くしても受信が可能な、MSK信号を生成することができる。

【図面の簡単な説明】

【図1】この発明によるMSK信号発生装置の実施の形態の構成を示すブロック図である。



【図3】

"1" のデータ				"0" のデータ			
Ax	基本データ	補数データ		基本データ	補数データ		
0	1F	011111	100000	20	1F	011111	100000
1	25	100101	011010	1A	2B	101011	010100
2	2B	101011	010100	14	35	110101	001010
3	31	110001	001110	0E	3B	111011	000100
4	35	110110	001001	09	3F	111111	000000
5	3A	111010	000101	05	3B	111011	000100
6	3D	111101	000010	02	35	110101	001010
7	3E	111110	000001	01	2B	101011	010100
8	3F	111111	000000	00	1F	011111	100000
9	3E	111110	000001	01	13	010011	101100
10	3D	111101	000010	02	09	001001	110110
11	3A	111010	000101	05	02	000010	111101
12	3B	110110	001001	09	00	000000	111111
13	31	110001	001110	0E	02	000010	111101
14	2B	101011	010111	14	09	001001	110110
15	25	100101	011010	1A	13	010011	101100

【図2】この発明の実施の形態の要部を説明するための波形図である。

【図3】この発明の実施の形態のMSKデータ発生装置で発生する波形データの例を示す図である。

【図4】この発明の実施の形態のMSKデータ発生装置で発生する波形データの例を説明するための図である。

【図5】この発明の実施の形態の要部の構成を示すブロック図である。

【図6】この発明の実施の形態を説明するための波形図である。

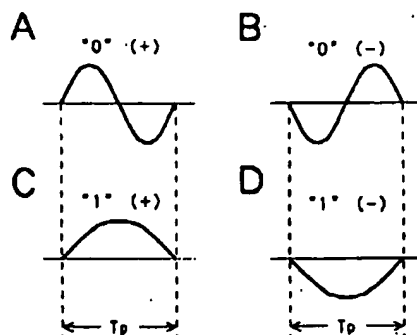
【図7】MSK信号を説明するための波形図である。

【図8】MSK信号の生成を説明するための図である。

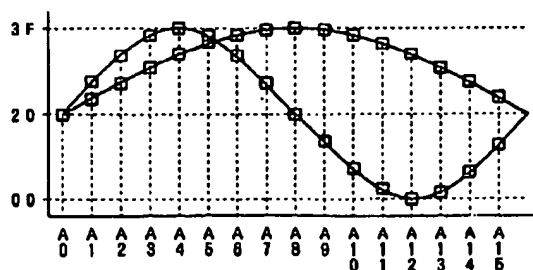
【符号の説明】

10…データ判別回路、20…MSKデータ発生回路、21a～21f…MSKデータ発生回路、22a～22f…ラッチ回路、30…D/A変換器、D0…LSB、D5…MSB

【図2】



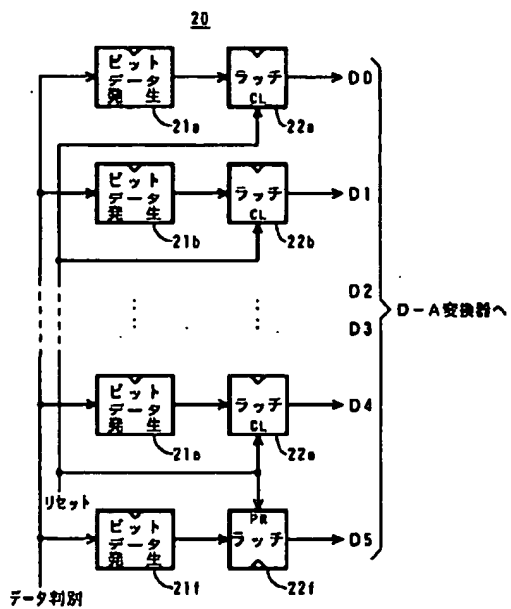
【図4】



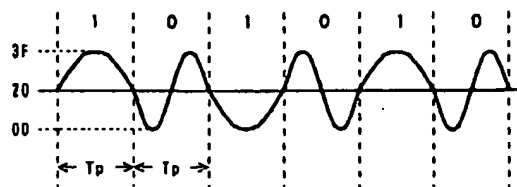
(5)

特開平10-285227

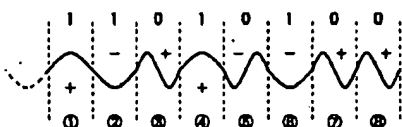
【図5】



【図6】



【図7】



【図8】

